

# PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2001-174849  
(43) Date of publication of 29.06.2001  
application :

(51) Int.Cl. G02F 1/1368  
G02F 1/1333  
G09F 9/30  
H01L 21/768  
H01L 29/786

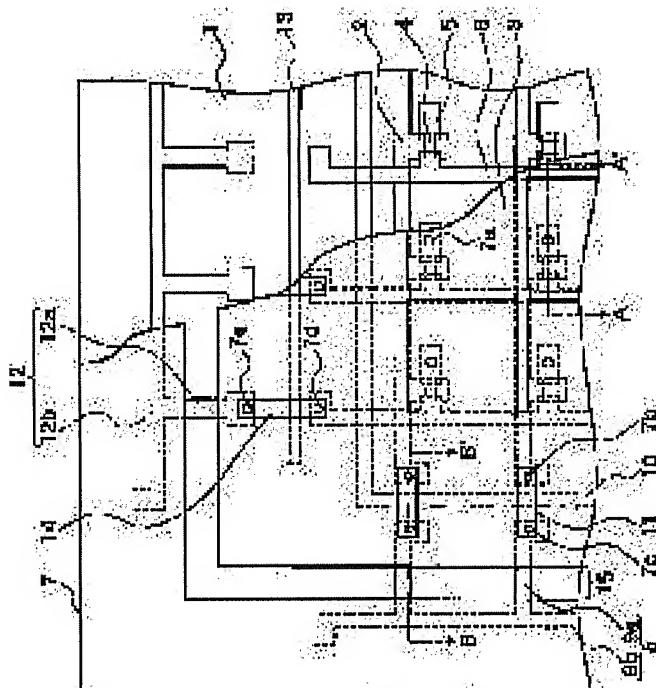
(21) Application number : 11-363010 (71) Applicant : MATSUSHITA ELECTRIC  
IND CO LTD  
(22) Date of filing : 21.12.1999 (72) Inventor : HIROSE TAKASHI  
IWASAKI KATSUO  
BOSHITA JUNJI  
ASANO SATOHISA  
UNO MITSUHIRO

## (54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURING METHOD

### (57) Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device capable of suppressing disconnection of connecting wirings connecting the wirings formed under the interlayer insulating film of an active element array substrate and its manufacturing method.

SOLUTION: A substrate which has plural active elements, plural first wirings 2 electrically connected to the active elements, a second wiring 9 electrically connecting the wirings 2 each other, the interlayer insulating film 7 formed upward the active elements, the first wirings 2 and the second wiring 9 and plural pixel electrodes formed on the film 7 and in which the film 7 has an opening part 15



upward the second wiring 9 and the first wirings 2 and the second wiring 9 are electrically connected with connecting wirings 11 and contact holes 7b, 7c, is produced and an active element array substrate is obtained by electrically separating the first wirings 2 each other by cutting a part of the second wiring 9 in the substrate.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-174849

(P2001-174849A)

(43)公開日 平成13年6月29日(2001.6.29)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコ-ト*(参考)
G 0 2 F	1/1368	G 0 2 F	1/1333 5 0 5 2 H 0 9 0
	1/1333	5 0 5	G 0 9 F 9/30 3 3 0 Z 2 H 0 9 2
G 0 9 F	9/30	3 3 0	3 3 8 5 C 0 9 4
		3 3 8	G 0 2 F 1/136 5 0 0 5 F 0 3 3
H 0 1 L	21/768	H 0 1 L 21/90	B 5 F 1 1 0

審査請求 未請求 請求項の数10 O L (全 10 頁) 最終頁に続く

(21)出願番号 特願平11-363010

(22)出願日 平成11年12月21日(1999.12.21)

(71)出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 廣瀬 貴司

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 岩▲崎▼ 勝男

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100095555

弁理士 池内 寛幸 (外1名)

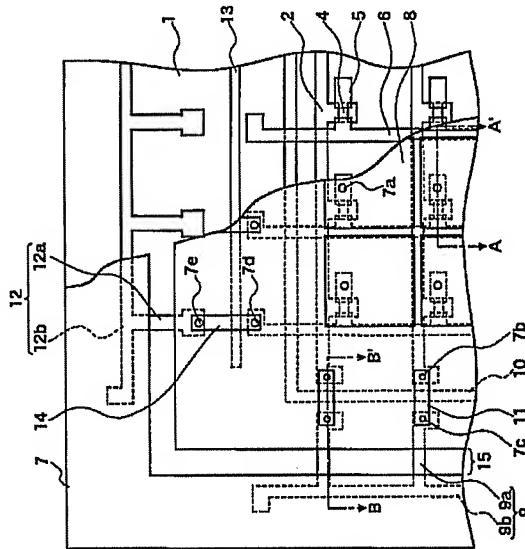
最終頁に続く

(54)【発明の名称】 液晶表示装置およびその製造方法

(57)【要約】

【課題】 アクティブ素子アレイ基板の層間絶縁膜下に形成された配線間を接続する接続配線の断線を抑制できる液晶表示装置およびその製造方法を提供する。

【解決手段】 複数のアクティブ素子と、前記アクティブ素子と電気的に接続された複数の第1の配線2と、第1の配線2同士を電気的に接続する第2の配線9と、前記アクティブ素子、第1の配線2および第2の配線9の上方に形成された層間絶縁膜7と、層間絶縁膜7上に形成された複数の画素電極とを備え、層間絶縁膜7が第2の配線9の上方に開口部15を有し、第1の配線2と第2の配線9とが接続配線11並びにコンタクトホール7bおよび7cを介して電気的に接続された基板を作製し、前記基板において第2の配線9の一部を開口部15で切断し、第1の配線2同士を電気的に分離することによってアクティブ素子アレイ基板を得る。



## 【特許請求の範囲】

【請求項1】互いに対向する2つの基板間に液晶を封入してなる液晶表示装置であって、前記基板の一方が、複数のアクティブ素子と、前記アクティブ素子と電気的に接続された複数の第1の配線と、前記第1の配線同士を電気的に接続する第2の配線と、前記アクティブ素子、前記第1の配線および前記第2の配線の上方に形成された層間絶縁膜と、前記アクティブ素子の各々に対応させて前記層間絶縁膜上に形成された複数の画素電極とを備え、前記層間絶縁膜が、前記第1の配線および前記第2の配線の少なくとも一方の上方に開口部を有し、前記第1の配線と前記第2の配線とが、前記層間絶縁膜上に形成された接続配線および前記層間絶縁膜に形成されたコンタクトホールを介して電気的に接続されている基板から、前記層間絶縁膜の開口部で前記第1の配線および前記第2の配線の少なくとも一方を切断し、前記第1の配線同士を電気的に分離することによって得られる基板であることを特徴とする液晶表示装置。

【請求項2】コンタクトホールの口径が、5～30μmである請求項1に記載の液晶表示装置。

【請求項3】接続配線が、画素電極と同じ材料で構成されている請求項1または2に記載の液晶表示装置。

【請求項4】接続配線が、インジウム錫酸化物、A1、A1合金、AgおよびAg合金から選ばれる少なくとも1種で構成される請求項1～3のいずれかに記載の液晶表示装置。

【請求項5】層間絶縁膜が、有機材料を主体とする請求項1～4のいずれかに記載の液晶表示装置。

【請求項6】基板上に複数のアクティブ素子を形成する工程と、前記基板上に、前記アクティブ素子と電気的に接続された複数の第1の配線と、前記第1の配線と離間した第2の配線とを形成する工程と、前記アクティブ素子、前記第1の配線および前記第2の配線の上方に層間絶縁膜を形成する工程と、前記層間絶縁膜の前記第1の配線および前記第2の配線の少なくとも一方の上方に開口部を形成する工程と、前記層間絶縁膜の前記第1の配線および前記第2の配線の上方にコンタクトホールを形成する工程と、前記層間絶縁膜上に接続配線を形成して、前記第1の配線と前記第2の配線とを前記接続配線および前記コンタクトホールを介して電気的に接続し、前記第1の配線同士を前記第2の配線を介して電気的に接続する工程と、前記層間絶縁膜上に前記アクティブ素子の各々に対応させて画素電極を形成する工程と、前記層間絶縁膜の開口部で前記第1の配線および前記第2の配線の少なくとも一方を切断し、前記第1の配線同士を電気的に分離する工程とを含むことを特徴とする液晶表示装置の製造方法。

【請求項7】コンタクトホールの口径を、5～30μmとする請求項6に記載の液晶表示装置の製造方法。

【請求項8】接続配線を、画素電極と同じ材料で構成

する請求項6または7に記載の液晶表示装置の製造方法。

【請求項9】接続配線を、インジウム錫酸化物、A1、A1合金、AgおよびAg合金から選ばれる少なくとも1種で構成する請求項6～8のいずれかに記載の液晶表示装置の製造方法。

【請求項10】層間絶縁膜が有機材料を主体とする請求項6～9のいずれかに記載の液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶表示装置に関する。

## 【0002】

【従来の技術】近年、液晶表示装置、特に各画素にスイッチング素子としてアクティブ素子を配置したアクティブマトリクス方式の液晶表示装置が、広く利用されている。アクティブマトリクス方式の液晶表示装置は、アクティブ素子アレイ基板と対向基板との間に液晶を挟持して構成される。アクティブ素子アレイ基板は、基板に複数の画素電極が行列状に配置され、画素電極の各々に対応するように複数のアクティブ素子が配置されて構成される。

【0003】従来、アクティブ素子アレイ基板において画素電極を最上層に形成することによって開口率を高めた液晶表示装置が提案されている。このような液晶表示装置およびその製造方法としては、例えば、シンジョウら著、「短縮工程法により作製した高開口率11.3インチSVGA TFT-LCD」、1996年アクティブマトリクス液晶表示装置国際学会(AM-LCD 96)予稿集、第201頁～第204頁(M.Sinjou et al., A High Aperture Ratio 11.3 inch-diagonal SVGA TFT-LCDs Fabricated by Reduced Process Method, Digest of Technical Papers 1996 International Workshop on Active-Matrix Liquid Crystal Displays (AM-LCD 96), pp.201～pp.204)に記載されたものが知られている。

【0004】図5は、従来の液晶表示装置を構成するアクティブ素子アレイ基板の構造を示す平面図である。図5に示すように、基板21上に、複数の薄膜トランジスタ(TFT)24と、TFTのゲート電極を兼ねた駆動信号線22と、TFTのソース電極を兼ねた映像信号線26とが形成されている。更に、TFT24、駆動信号線22および映像信号線26を被覆するように層間絶縁膜27が形成されており、層間絶縁膜27には、TFTのドレイン電極25上に相当する部分に画素コンタクトホールが形成されている。画素電極28は層間絶縁膜27上に形成され、画素コンタクトホールを介してTFTのドレイン電極25と電気的に接続されている。

【0005】基板21上には、各配線の断線などの不良

の有無を検査するために試験信号を供給する試験信号線29および32が設けられている。試験信号線29は、全ての駆動信号線に一括して試験信号を供給できるように、接続配線31を介して駆動信号線22と電気的に接続されている。同様に、試験信号線32は、全ての映像信号線に一括して試験信号を供給できるように、接続配線34を介して映像信号線26と電気的に接続されている。なお、駆動信号線22と試験信号線29との電気的接続、および、映像信号線26と試験信号線32との電気的接続は、検査終了後に基板の分割により分離される。

【0006】このようなアクティブ素子アレイ基板を用いることにより、画素電極を層間絶縁膜上に形成することによって、画素電極を駆動信号線および映像信号線の上方まで拡張させることができるとなり、画素電極の面積を大きくして、開口率の大きな液晶表示装置とすることができます。更に、層間絶縁膜を厚く形成することにより、画素電極と駆動信号線および映像信号線との間の容量が低減され、クロストークの発生を抑制することができる。

#### 【0007】

【発明が解決しようとする課題】上記アクティブ素子アレイ基板においては、試験信号線を用いた検査が終了した後、映像信号線および駆動信号線と各試験信号線とを電気的に分離するため基板が分割される。このため、層間絶縁膜27には、通常、基板分割時の破片散乱を抑制するため、基板の分割線に相当する領域に開口部35が形成される。しかしながら、従来の液晶表示装置を構成するアクティブ素子アレイ基板においては、層間絶縁膜の開口部35付近において接続配線の断線が発生しやすいという問題があった。

【0008】以下、図6を用いて、従来の液晶表示装置を構成するアクティブ素子アレイ基板の製造方法を説明するとともに、接続配線の断線発生の機構について説明する。

【0009】まず、基板21上に駆動信号線22、試験信号線29およびその他の配線30が形成された後、層間絶縁膜27が形成される。次に、駆動信号線22の少なくとも一部の上方と、開口部35に相当する領域の層間絶縁膜27が除去された後、導電膜31aが形成される(図6(a))。続いて、導電膜31a上にポジ型の感光性レジスト36が塗布され、露光される(図6(b))。このとき、開口部35周辺の層間絶縁膜の縁端部においては、レジストの塗布厚が薄くなるため薄膜部36aが形成される。続いて、レジスト36が現像され、未露光部にレジストパターン36bが形成される(図6(c))。このとき、レジストの露光部が除去されるとともに、未露光部においても若干の膜厚減少が生じる。レジストの薄膜部36aにおいては、この現像時の膜厚減少によってレジストパターンが消失する場合が

ある。次に、レジストパターン36bをマスクとして導電膜31aがエッチングされて接続配線31が形成されるが、レジストパターン36bが消失した部分においては、接続配線31に断線部31bが形成される(図4(d))。

【0010】断線部の発生を防止する方法としては、レジスト塗布時に薄膜部が形成されるのを回避するため、(1)層間絶縁膜の膜厚を薄くすること、(2)レジストの膜厚を厚くすることなどが考えられる。しかし、前者では、画素領域において、画素電極と駆動信号線および映像信号線との間の寄生容量が増加し、クロストークなどの画質特性の劣化が懸念される。また、後者では、生産タクト延長による生産性の低下が懸念される。

【0011】本発明は上記課題に鑑み、アクティブ素子アレイ基板において厚い層間絶縁膜を用いてクロストークの発生を抑制し、且つ、接続配線の断線を抑制することが可能な液晶表示装置およびその製造方法を提供することを目的とする。

【0012】  
【課題を解決するための手段】前記目的を達成するため、本発明の液晶表示装置は、互いに対向する2つの基板間に液晶を封入してなる液晶表示装置であって、前記基板の一方が、複数のアクティブ素子と、前記アクティブ素子と電気的に接続された複数の第1の配線と、前記第1の配線同士を電気的に接続する第2の配線と、前記アクティブ素子、前記第1の配線および前記第2の配線の上方に形成された層間絶縁膜と、前記アクティブ素子の各々に対応させて前記層間絶縁膜上に形成された複数の画素電極とを備え、前記層間絶縁膜が、前記第1の配線および前記第2の配線の少なくとも一方の上方に開口部を有し、前記第1の配線と前記第2の配線とが、前記層間絶縁膜上に形成された接続配線および前記層間絶縁膜に形成されたコンタクトホールを介して電気的に接続されている基板から、前記層間絶縁膜の開口部で前記第1の配線および前記第2の配線の少なくとも一方を切断し、前記第1の配線同士を電気的に分離することによって得られる基板であることを特徴とする。なお、前記第1の配線としては、駆動信号線および映像信号線が例示でき、前記第2の配線としては、不良検出のための試験信号線が例示できる。このような構成にしたことにより、アクティブ素子アレイ基板において、層間絶縁膜を厚膜としてクロストークの発生を抑制し、且つ、接続配線の断線が抑制された液晶表示装置とができる。

【0013】また、前記液晶表示装置においては、コンタクトホールの口径が、5～30μmであることが好ましい。接続配線の断線をより確実に抑制することができるからである。

【0014】また、前記液晶表示装置においては、接続配線が、画素電極と同じ材料で構成されていることが好

ましい。製造工程を簡素化することができるからである。

【0015】また、前記液晶表示装置においては、接続配線が、インジウム錫酸化物（以下、「ITO」とする。）、A1、A1合金、AgおよびAg合金から選ばれる少なくとも1種で構成されることが好ましい。ITOは透過型液晶表示装置の画素電極として、A1、A1合金、AgおよびAg合金は反射型液晶表示装置の画素電極として有用な材料である。従って、このような材料を接続配線として用いることにより、画素電極と接続配線と同じ材料で構成し、製造工程を簡素化することができる。

【0016】また、前記液晶表示装置においては、層間絶縁膜が有機材料を主体とすることが好ましい。好適な膜厚の層間絶縁膜とすることが容易だからである。

【0017】前記目的を達成するため、本発明の液晶表示装置の製造方法は、基板上に複数のアクティブ素子を形成する工程と、前記基板上に、前記アクティブ素子と電気的に接続された複数の第1の配線と、前記第1の配線と離間した第2の配線とを形成する工程と、前記アクティブ素子、前記第1の配線および前記第2の配線の上方に層間絶縁膜を形成する工程と、前記層間絶縁膜の前記第1の配線および前記第2の配線の少なくとも一方の上方に開口部を形成する工程と、前記層間絶縁膜の前記第1の配線および前記第2の配線の上方にコンタクトホールを形成する工程と、前記層間絶縁膜上に接続配線を形成して、前記第1の配線と前記第2の配線とを前記接続配線および前記コンタクトホールを介して電気的に接続し、前記第1の配線同士を前記第2の配線を介して電気的に接続する工程と、前記層間絶縁膜上に前記アクティブ素子の各々に対応させて画素電極を形成する工程と、前記層間絶縁膜の開口部において前記第1の配線および前記第2の配線の少なくとも一方を切断し、前記第1の配線同士を電気的に分離する工程とを含むことを特徴とする。なお、前記第1の配線としては、駆動信号線および映像信号線が例示でき、前記第2の配線としては、不良検出のための試験信号線が例示できる。

【0018】このような構成にしたことにより、アクティブ素子アレイ基板における、層間絶縁膜を厚膜としてクロストークの発生を抑制し、且つ、接続配線の断線を抑制することができる。

【0019】前記製造方法においては、コンタクトホールの口径を、5～30μmとすることが好ましい。接続配線の断線をより確実に抑制することができるからである。

【0020】また、前記製造方法においては、接続配線を、画素電極と同じ材料で構成することができる。製造工程を簡素化することができるからである。

【0021】また、前記製造方法においては、接続配線を、ITO、A1、A1合金、AgおよびAg合金から

選ばれる少なくとも1種で構成することが好ましい。ITOは透過型液晶表示装置の画素電極として、A1、A1合金、AgおよびAg合金は反射型液晶表示装置の画素電極として有用な材料である。従って、このような材料を接続配線として用いることにより、画素電極と接続配線と同じ材料で構成し、製造工程を簡素化することができる。

【0022】また、前記製造方法においては、層間絶縁膜が有機材料を主体とすることが好ましい。好適な膜厚の層間絶縁膜とすることが容易だからである。

【0023】

【発明の実施の形態】本発明に係る液晶表示装置は、各画素にスイッチング素子としてアクティブ素子を配置したアクティブマトリクス型液晶表示装置である。本発明に係る液晶表示装置の構造の一例においては、アクティブ素子アレイ基板と対向基板とがスペーサーを介して対向配置されており、両基板間に液晶が保持されている。

【0024】アクティブ素子アレイ基板は、複数の画素電極、アクティブ素子および各種の配線が配置されてなる基板から、特定の配線間の電気的接続を切断することによって得られる基板である。

【0025】図1は、本発明に係る液晶表示装置を構成するアクティブ素子アレイ基板の構造の一例を示す平面図である。また、図2は、図1のA-A'に沿った断面図であり、図3は、図1のB-B'に沿った断面図である。なお、図1～3は、特定の配線間の電気的接続を切断する前のアクティブ素子アレイ基板の構造を示している。

【0026】図1に示すように、基板1に、画素電極8およびアクティブ素子を含む画素が複数配置されている（以下、この領域を「画素領域」とする。）。画素領域の周囲には、画素領域より伸延した駆動信号線2および映像信号線6、前記配線に試験信号を供給するための試験信号線9および12、並びに、その他の配線10および13などが配置されている（以下、この領域を「周辺領域」とする。）。

【0027】まず、画素領域の構造について説明する。図1および図2に示すように、基板1上に、複数の薄膜トランジスタ（以下、「TFT」とする。）が行列状に配置されている。TFTは、基板1上に形成されたゲート電極と、ゲート電極上にゲート絶縁膜3を介して形成された半導体層4と、半導体層4と電気的に接続されたソース電極およびドレイン電極5とで構成されている。なお、TFTの構造は、上記構造に限定されるものではなく、従来からアクティブマトリクス型液晶表示装置に用いられているあらゆる構造を採用することができる。

【0028】基板1上には、TFTの各行に対応させて駆動信号線2が形成されている。駆動信号線2は、TFTに駆動信号を供給するための配線である。また、TFTの各列に対応させて映像信号線6が形成されている。

映像信号線6は、画素電極8にTFTを介して映像信号を供給するための配線である。

【0029】各TFTのゲート電極は、行方向に隣接する別のTFTを構成するゲート電極とともに、駆動信号線2に接続されている。また、各TFTのソース電極は、列方向に隣接する別のTFTを構成するソース電極とともに、映像信号線6に接続されている。なお、図1および図2に示すように、駆動信号線2は、ゲート電極と一体化させて形成することができ、映像信号線6は、ソース電極と一体化させて形成することができる。

【0030】更に、基板1には、TFT、駆動信号線2および映像信号線6の上方に層間絶縁膜7が形成されている。層間絶縁膜7の膜厚は、好ましくは1.5～3.5μmである。また、層間絶縁膜7としては、例えば、アクリル樹脂などの有機材料を使用することができる。

【0031】層間絶縁膜7上に画素電極8が形成されている。画素電極8は、層間絶縁膜7に形成された画素コンタクトホール7aを介して、対応するTFTのドレイン電極5と電気的に接続されている。画素電極8としては、透過型液晶表示装置を構成する場合は、ITOなどの透光性材料を使用することができる。また、反射型液晶表示装置を構成する場合は、Al若しくはAgまたはそれらの合金などの非透光性材料を使用することができる。

【0032】次に、周辺領域の構造について説明する。図1に示すように、周辺領域においては、TFTと電気的に接続された駆動信号線2および映像信号線6が画素領域より伸延し、各々、試験信号線9および12と電気的に接続されている。以下、駆動信号線2と試験信号線9との電気的接続が為されている部分の構造について、図3を用いて説明する。

【0033】基板1上に、駆動信号線2および試験信号線9が、互いに離間するように配置されている。試験信号線9は、TFTまたは駆動信号線2の不良の有無を検査する際に駆動信号線2に試験信号を供給するための配線である。例えば、試験信号線9は、図1に示すように、駆動信号線2の各々に対応するように形成された複数の分岐部9aと、分岐部9a同士を電気的に接続する配線部9bとで構成された、櫛形の配線として形成することができる。

【0034】また、基板1上には、試験信号線9と駆動信号線2との間隙に、別の配線10が配置されている。この配線10としては、例えば、映像信号線6に断線が生じた場合に、当該映像信号線6に代わってTFTに駆動信号を供給するために設けられる救済線などが挙げられる。

【0035】各配線が形成された基板1上には、層間絶縁膜7が形成されている。層間絶縁膜7の膜厚および構成材料については前述した通りである。

【0036】層間絶縁膜7には、駆動信号線2および試

験信号線9の上方に相当する領域に、各々、コンタクトホール7bおよび7cが形成されている。コンタクトホール7bおよび7cの口径は、通常5～30μm、好ましくは5～15μmである。

【0037】層間絶縁膜7上には、接続配線11が形成されている。接続配線11は、駆動信号線2および試験信号線9の少なくとも一部を被覆するように形成され、駆動信号線2と試験信号線9とをコンタクトホール7bおよび7cを介して電気的に接続している。

【0038】接続配線11は、画素電極8と異なる導電性材料で構成することもできるが、画素電極8と共通の導電性材料で構成されることが好ましい。具体的には、ITO、Al若しくはAgまたはそれらの合金などを使用することができる。

【0039】また、周辺領域において、映像信号線6と試験信号線12との電気的接続が為される部分の構造は、駆動信号線2と試験信号線9との電気的接続が為される部分と実質的に同様の構造とすることができます。すなわち、基板1上に、分岐部12aおよび配線部12bを含む試験信号線12と、映像信号線6とが互いに離間するように配置され、その間隙に配線13が配置されている。この基板1上に、映像信号線6および試験信号線12上にコンタクトホール7dおよび7eを有する層間絶縁膜7が形成され、この層間絶縁膜7上に接続配線14が形成されており、映像信号線6と試験信号線12とが接続配線14並びにコンタクトホール7dおよび7eを介して電気的に接続された構造とすることができます。

【0040】周辺領域においては、層間絶縁膜7に開口部15が形成された領域が存在する。開口部15は、例えば、駆動信号線2同士および映像信号線6同士を電気的に分離する際に、試験信号線9および12の一部、具体的には分岐部9aおよび分岐部12aを切断するための切断線に相当するものである。

【0041】図1に示すように、開口部15は、試験信号線9および12の上方に溝状に形成することができる。具体的には、分岐部9aおよび分岐部12aの上方に、分岐部9aおよび分岐部12aに直交するように形成することができる。なお、開口部15の幅は、0.1～2mm程度が適当である。

【0042】上記アクティブ素子アレイ基板は、以下のようにして作製することができる。

【0043】図4は、本発明の製造方法におけるアクティブ素子アレイ基板の作製工程を説明する図であり、図3と同一領域の断面図を示すものである。

【0044】まず、基板1上に第1の導電膜を形成した後、これをバーニングして、駆動信号線2、試験信号線9および配線10を形成する。図1に示すように、駆動信号線2はゲート電極と接続された形状に形成される。第1の導電膜としては、例えば、Ti/Al/Tiを各々100/200/100nmの膜厚で積層した3

層膜を使用することができる。また、第1の導電膜の形成方法としては、Arガスを用いたスパッタリング法を採用することができる。

【0045】次に、ゲート絶縁膜としてシリコン窒化物を成膜した後、アモルファスシリコンを成膜しバターニングして半導体層を形成する。各膜の形成方法としては、例えば、プラズマ化学気相蒸着法を採用することができる。

【0046】次に、第2の導電膜を成膜した後、これをバターニングし、TFTのドレイン電極(図1の5に相当する。)、映像信号線(図1の6に相当する。)、試験信号線(図1の12に相当する。)および配線(図1の13に相当する。)を形成する。図1に示すように、映像信号線はソース電極と接続された形状に形成される。第2の導電膜としては、例えば、Ti/A1/Tiを各々100/200/100nmの膜厚で積層した3層膜を使用することができる。また、第2の導電膜の形成方法としては、Arガスを用いたスパッタリング法を採用することができる。

【0047】次に、感光性有機材料を塗布して層間絶縁膜7を形成する。続いて、層間絶縁膜7を露光現像し、画素領域においてはドレイン電極の上方に画素コンタクトホール(図1の7aに相当する。)を形成し、周辺領域においては、駆動信号線2および試験信号線9の上方にコンタクトホール7bおよび7cを形成し、映像信号線および試験信号線(図1の12に相当する。)の上方にコンタクトホール(図1の7dおよび7eに相当する。)を形成する。コンタクトホールの口径は、前述した通りである。また同時に、試験信号線9および試験信号線(図1の12に相当する。)上の層間絶縁膜7に、溝状の開口部15を形成する。

【0048】次に、第3の導電膜11aを成膜する(図4(a))。第3の導電膜11aとしては、例えば、ITOなどを使用することができ、膜厚は約100nm程度とすることができる。また、第3の導電膜11aの形成は、例えば、Ar、O<sub>2</sub>混合ガスを用いたスパッタリング法によって実施することができる。

【0049】次に、ポジ型感光性レジスト16をスピニ塗布する。レジスト16の塗布厚は、1.0~2.0μm程度が適当である。このとき、層間絶縁膜の開口部15周辺においては、レジスト16の膜厚が他の部分よりも薄くなり、薄膜部16aが形成される。これに対して、コンタクトホール7bおよび7c周辺においては、コンタクトホール7bおよび7cの口径が十分に小さいため薄膜部は形成されない。

【0050】続いて、レジスト16に対して、画素領域においては画素電極のパターンを遮光し、周辺領域においては、駆動信号線2と試験信号線9とを電気的に接続する接続配線のパターンと、映像信号線と試験信号線(図1の12に相当する。)とを電気的に接続する接続

配線のパターンとを遮光したフォトマスク17を介して、紫外線18を照射する(図4(b))。このとき、開口部15周辺に形成されたレジストの薄膜部16aは、紫外線18により露光される。

【0051】次に、レジスト16を現像し、画素領域においては画素電極のパターンを有し、周辺領域においては、駆動信号線2と試験信号線9とを電気的に接続する接続配線のパターンと、映像信号線と試験信号線(図1の12に相当する。)とを電気的に接続する接続配線のパターンとを有するレジストパターン16bを形成する(図4(c))。このとき、開口部15周辺に存在するレジストの薄膜部16aは除去される。

【0052】次に、レジストパターン16bをマスクとして第3の導電膜11aをエッチングした後、レジストパターン16bを剥離する(図4(d))。これにより、画素領域に画素電極(図1の8に相当する。)が形成され、周辺領域においては、駆動信号線2と試験信号線9とを電気的に接続する接続配線11と、映像信号線と試験信号線(図1の12に相当する。)とを電気的に接続する接続配線(図1の14に相当する。)とが形成され、アクティブ素子アレイ基板が得られる。

【0053】本発明の液晶表示装置は、上記アクティブ素子アレイ基板を用いて、以下の要領で作製される。

【0054】まず、上記アクティブ素子アレイ基板と対向基板とを、スペーサーを介して対向配置し、両基板間に液晶を封入することにより液晶セルを形成する。なお、対向基板は、基板上に対向電極を形成することにより作製できる。

【0055】次に、得られた液晶セルに対して、試験信号線9および12に試験信号を印加し、液晶セルが正常に動作するか否かを確認する。

【0056】次に、アクティブ素子アレイ基板の駆動信号線2同士および映像信号線6同士を電気的に分離する工程が実施される。駆動信号線2同士および映像信号線6同士の電気的な分離は、特定の配線の一部を切断することにより実施され、例えば、図1に示した構造のアクティブ素子アレイ基板の場合、開口部15において、試験信号線9および12の一部、具体的には分岐部9aおよび12aを切断することによって実施される。配線の切断は、基板の分割またはレーザーの照射などの方法によって実施することができる。

【0057】更に、液晶セルの両面に偏光板を配置し、バックライトなどを適宜配置して、液晶表示装置が得られる。

【0058】以上説明したように、本発明においては、アクティブ素子アレイ基板の層間絶縁膜下に形成された配線同士を、層間絶縁膜上に形成された接続配線およびコンタクトホールを介して電気的に接続している。前述したように、コンタクトホールは口径が比較的小さいため、厚い層間絶縁膜を用いた場合であっても、接続配線

形成のためのレジスト塗布工程（図4（b）工程）において、コンタクトホール周辺でレジストの塗布厚が小さくなることを避けることができる。従って、コンタクトホール周辺でレジストバターンが消失しないため、接続配線の断線を抑制することができる。

【0059】なお、上記説明においては、接続配線と同質の導電膜（すなわち、第3の導電膜）を、層間絶縁膜の開口部から除去した例を示したが、開口部に前記導電膜を残存させてもよい。この場合、後に実施される配線の切断工程において、残存させた前記導電膜を試験信号線とともに切断すればよい。

【0060】また、駆動信号線同士および映像信号線同士の電気的分離を、層間絶縁膜の開口部を試験信号線上に形成して試験信号線を切断することによって実施する例を示したが、層間絶縁膜の開口部を駆動信号線上および映像信号線上に形成し、駆動信号線および映像信号線を切断することによって実施してもよい。

【0061】また、アクティブ素子としては、TFTに限定されるものではなく、例えばMIMなどの二端子非線形素子を使用することも可能である。

#### 【0062】

【発明の効果】以上のように、本発明の液晶表示装置は、互いに対向する2つの基板間に液晶を封入してなる液晶表示装置であって、前記基板の一方が、複数のアクティブ素子と、前記アクティブ素子と電気的に接続された複数の第1の配線と、前記第1の配線同士を電気的に接続する第2の配線と、前記アクティブ素子、前記第1の配線および前記第2の配線の上方に形成された層間絶縁膜と、前記アクティブ素子の各々に対応させて前記層間絶縁膜上に形成された複数の画素電極とを備え、前記層間絶縁膜が、前記第1の配線および前記第2の配線の少なくとも一方の上方に開口部を有し、前記第1の配線と前記第2の配線とが、前記層間絶縁膜上に形成された接続配線および前記層間絶縁膜に形成されたコンタクトホールを介して電気的に接続されている基板から、前記層間絶縁膜の開口部で前記第1の配線および前記第2の配線の少なくとも一方を切断し、前記第1の配線同士を電気的に分離することによって得られる基板であるため、アクティブ素子アレイ基板において、層間絶縁膜を厚膜としてクロストークの発生を抑制し、且つ、接続配線の断線を抑制した液晶表示装置とすることができる。

【0063】また、本発明の液晶表示装置の製造方法によれば、基板上に複数のアクティブ素子を形成する工程と、前記基板上に、前記アクティブ素子と電気的に接続

された複数の第1の配線と、前記第1の配線と離間した第2の配線とを形成する工程と、前記アクティブ素子、前記第1の配線および前記第2の配線の上方に層間絶縁膜を形成する工程と、前記層間絶縁膜の前記第1の配線および前記第2の配線の少なくとも一方の上方に開口部を形成する工程と、前記層間絶縁膜の前記第1の配線および前記第2の配線の上方にコンタクトホールを形成する工程と、前記層間絶縁膜上に接続配線を形成して、前記第1の配線と前記第2の配線とを前記接続配線および前記コンタクトホールを介して電気的に接続し、前記第1の配線同士を前記第2の配線を介して電気的に接続する工程と、前記層間絶縁膜上に前記アクティブ素子の各々に対応させて画素電極を形成する工程と、前記層間絶縁膜の開口部で前記第1の配線および前記第2の配線の少なくとも一方を切断し、前記第1の配線同士を電気的に分離する工程とを含むため、アクティブ素子アレイ基板において、層間絶縁膜を厚膜としてクロストークの発生を抑制し、且つ、接続配線の断線を抑制した液晶表示装置とすることができる。

#### 【図面の簡単な説明】

【図1】 本発明に係る液晶表示装置を構成するアクティブ素子アレイ基板の一例を示す平面図

【図2】 図1のA-A'断面図

【図3】 図1のB-B'断面図

【図4】 本発明に係る液晶表示装置を構成するアクティブ素子アレイ基板の製造方法の一例を説明するための工程断面図

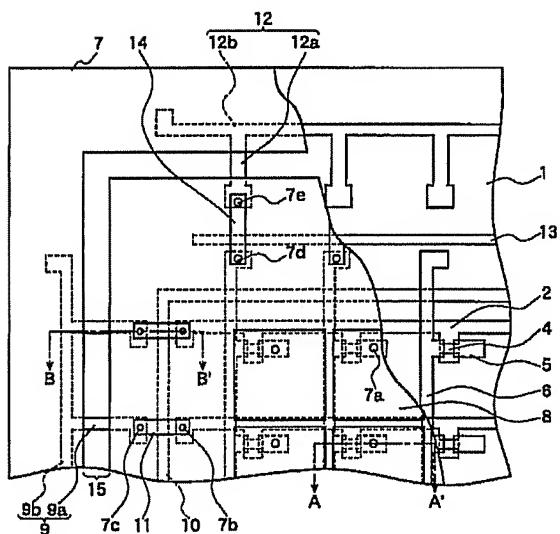
【図5】 従来の液晶表示装置を構成するアクティブ素子アレイ基板の構造を示す平面図

【図6】 従来の液晶表示装置を構成するアクティブ素子アレイ基板の製造方法を説明するための工程断面図

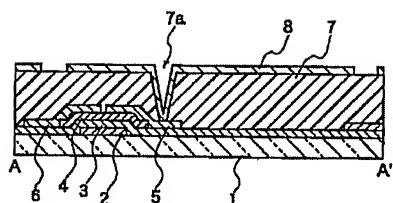
#### 【符号の説明】

1、21	透明基板
2、22	駆動信号線
3	ゲート絶縁膜
4、24	半導体層
5、25	ドレイン電極
6、26	駆動信号線
7、27	層間絶縁膜
8、28	画素電極
9、12、29、32	試験信号線
10、13、30、33	配線
11、14、31、34	接続配線
15、35	開口部

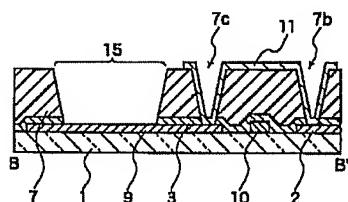
【図1】



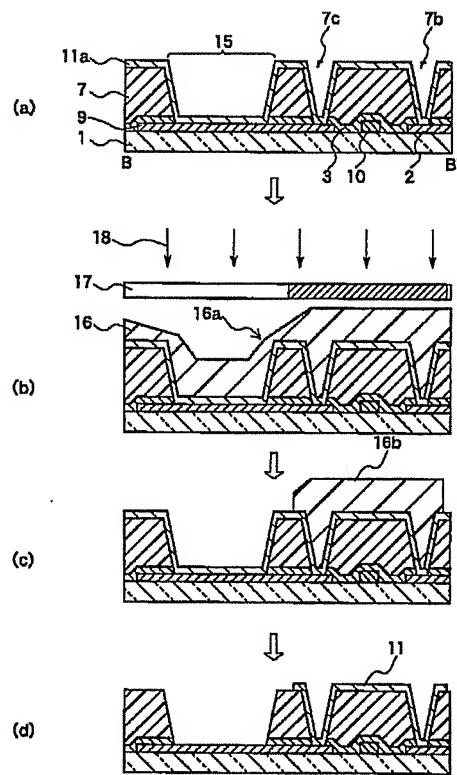
[図2]



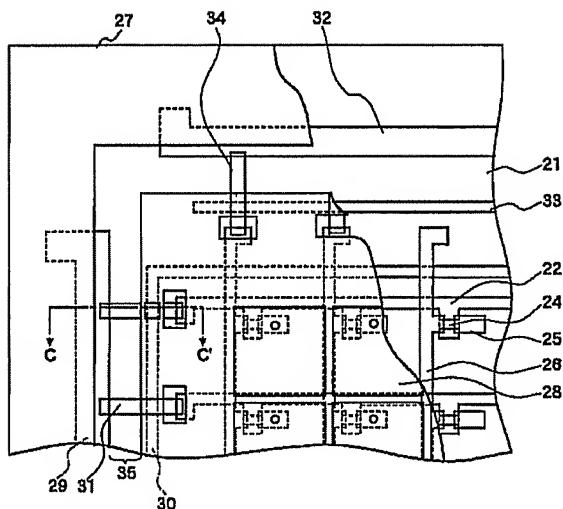
【図3】



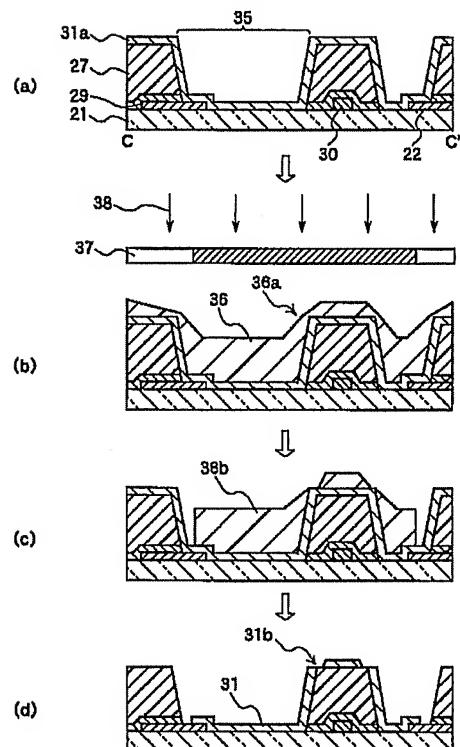
【図4】



【図5】



【図6】



フロントページの続き

(51) Int.CI.<sup>7</sup>

H 0 1 L 29/786

識別記号

F I

H 0 1 L 29/78

マーク (参考)

6 1 2 C

6 2 4

(72)発明者 坊下 純二

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 浅野 悟久

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 宇野 光宏

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

F ターム(参考) 2H090 HA03 HA06 HB07X LA04  
2H092 JA03 JA24 JA46 JB56 JB77  
KB04 KB25 MA47 NA01 NA07  
NA15 NA23 NA29  
5C094 AA09 AA10 AA32 AA42 AA43  
AA48 BA03 BA43 CA19 DA12  
DA13 DA15 DB01 DB04 EA03  
EA04 EA10 FA01 FA02 FB01  
FB02 FB12 FB15 GB10 JA08  
5F033 HH08 HH09 HH14 HH38 KK08  
KK18 MM08 PP15 QQ09 QQ37  
QQ53 RR21 RR27 WV12 WV15  
WW01 XX36 XX37  
5F110 AA24 AA26 CC07 EE03 EE04  
EE15 EE44 FF03 GG02 GG15  
GG45 HL03 HL04 HL12 NN02  
NN27